

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **06-196759**

(43)Date of publication of application : **15.07.1994**

(51)Int.Cl. **H01L 33/00**

(21)Application number : **04-344399**

(71)Applicant : **SHARP CORP**

(22)Date of filing : **24.12.1992**

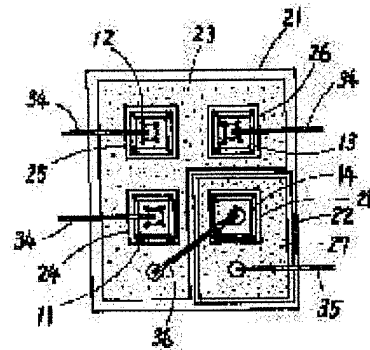
(72)Inventor : **UEDA SADA AKI**

(54) LIGHT-EMITTING DEVICES

(57)Abstract:

PURPOSE: To enable mounting light-emitting chips of opposite polarities near each other on the same lead frame.

CONSTITUTION: A part of a silicon substrate 21 is coated with an insulating layer 22, and the conductive layers 23, 24 are formed on the insulating layer 22 and the uncoated region, respectively. Solder pads 24, 25, 26, 28 are thinly formed on the respective conductive layers 23, 27, whereon the respective light emitting chips 11 to 14 are loaded in order to prevent creeping up to the sides of the light emitting chips due to surface tension of paste when the respective light emitting chips 11 to 14 are made adjacent. In case the light emitting chips 11 to 14 have different polarity, the upper electrode of one side light emitting chip 14 is connected to the conductive layer 23 on the side of the other rear electrode so as to make the polarity uniform.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **06-196759**

(43)Date of publication of application : **15.07.1994**

(51)Int.Cl.

H01L 33/00

(21)Application number : **04-344399**

(71)Applicant : **SHARP CORP**

(22)Date of filing : **24.12.1992**

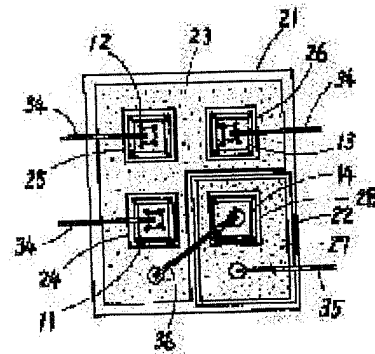
(72)Inventor : **UEDA SADA AKI**

(54) LIGHT-EMITTING DEVICES

(57)Abstract:

PURPOSE: To enable mounting light-emitting chips of opposite polarities near each other on the same lead frame.

CONSTITUTION: A part of a silicon substrate 21 is coated with an insulating layer 22, and the conductive layers 23, 24 are formed on the insulating layer 22 and the uncoated region, respectively. Solder pads 24, 25, 26, 28 are thinly formed on the respective conductive layers 23, 27, whereon the respective light emitting chips 11 to 14 are loaded in order to prevent creeping up to the sides of the light emitting chips due to surface tension of paste when the respective light emitting chips 11 to 14 are made adjacent. In case the light emitting chips 11 to 14 have different polarity, the upper electrode of one side light emitting chip 14 is connected to the conductive layer 23 on the side of the other rear electrode so as to make the polarity uniform.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

①

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-196759

(43)公開日 平成6年(1994)7月15日

(51)Int.Cl.⁵

H01L 33/00

識別記号

庁内整理番号

N 7376-4M

F I

技術表示箇所

審査請求 未請求 請求項の数1(全 5 頁)

(21)出願番号 特願平4-344399

(22)出願日 平成4年(1992)12月24日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 上田 禎亮

大阪府大阪市阿倍野区長池町22番22号

シャープ株式会社内

(74)代理人 弁理士 中村 恒久

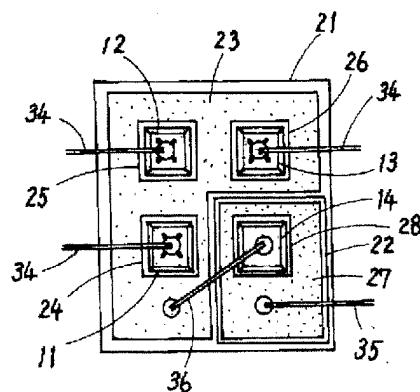
(54)【発明の名称】 発光素子

(57)【要約】

【目的】 逆極性の発光チップ同士を同一リードフレームに搭載しても、発光チップ同士を近接可能とする。

【構成】 シリコン基板21の一部に絶縁層22を被膜し、絶縁層22とこれが被膜されない領域に夫々導電層23、27を形成し、各導電層23、27に半田パッド24、25、26、28を薄く形成し、その上に各発光チップ11~14を搭載することで、各発光チップ11~14を近接させたときのペーストの表面張力による発光チップ側面へののはり上がり防止する。両発光チップ11~14が逆極性の場合、一方の発光チップ14の上面電極を、他方の裏面電極側の導電層23に結線し、極性をそろえる。

図1



- | | |
|-------|----------------|
| 11~13 | 第一発光チップ |
| 14 | 第二発光チップ |
| 21 | シリコン基板 |
| 22 | 絶縁層 |
| 23 | 第一導電層 |
| 24~26 | 第一低熔点ボンディングパッド |
| 27 | 第二導電層 |
| 28 | 第二低熔点ボンディングパッド |

【特許請求の範囲】

【請求項1】 シリコン基板と、該シリコン基板の上面の一部に被膜された絶縁層と、前記シリコン基板の絶縁層が被膜されない領域の上面に形成された第一導電層と、該第一導電層の上面に薄く形成された第一低融点ボンディングパッドと、該第一低融点ボンディングパッドの上面に搭載された第一発光チップと、前記絶縁層の上面に形成された第二導電層と、該第二導電層の上面に薄く形成された第二低融点ボンディングパッドと、該第二低融点ボンディングパッドの上面に搭載された第二発光チップとが設けられ、前記第一発光チップと第二発光チップとは、表裏の極性が互いに逆極性とされ、いずれか一方の発光チップの上面電極は、ボンディングワイヤを介して他方の導電層に接続され、他方の発光チップの上面電極および一方の導電層は、ボンディングワイヤを介して外部端子に接続されたことを特徴とする発光素子。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、複数の発光チップがリードフレームに搭載されパッケージ化された発光素子に関する。

【0002】

【従来の技術】 従来の発光装置では、図10のように、二個の発光チップ(LEDチップ)1、2を、搭載用リードフレーム3にAgペースト等の導電性ペースト4を用いて搭載する。その後、Auワイヤ等のボンディングワイヤ5、6を用いて、二個の結線用リードフレーム7、8に別々にワイヤボンダし、さらにエポキシ樹脂等の封止樹脂9でモールドして発光素子としている。

【0003】

【発明が解決しようとする課題】 従来の発光素子にて、図10の如く、複数の発光チップ1、2を搭載する場合、Agペースト等の導電性ペースト4でボンディングしているため、二個の発光チップ1、2の間隔を挟めると、表面張力によりペースト4が各発光チップ1、2の側面をはい上がることがある。そうすると、各発光チップ1、2の上部電極と下部電極とが短絡してしまうといった不具合が発生する。

【0004】 これを避けるために、従来では、両発光チップ1、2の間をある程度引き離さざるを得なかった。そうすると、発光素子の小型化の阻害要因となっていた。

【0005】 特に、片方の発光チップ1のダイボンド面がアノード電極で、他方の発光チップ2のダイボンド面が逆のカソード電極とされた場合のように、基板の極性の異なる二個の発光チップ1、2を同一リードフレーム3の同一ダイボンド面にボンディングする場合、LEDの駆動回路が構成しにくく、回路が複雑になる分、発光素子の小型化が困難になる。

【0006】 本発明は、上記課題に鑑み、複数の発光チ

ップを同一リードフレームに搭載しても、発光チップ同士を近接でき、小型化が可能な発光素子のマウント方法の提供を目的とする。

【0007】

【課題を解決するための手段】 本発明による課題解決手段は、図1～8の如く、シリコン基板21と、該シリコン基板21の上面の一部に被膜された絶縁層22と、前記シリコン基板21の絶縁層22が被膜されない領域の上面に形成された第一導電層23と、該第一導電層23の上面に薄く形成された第一低融点ボンディングパッド24、25、26と、該第一低融点ボンディングパッド24、25、26の上面に搭載された第一発光チップ11、12、13と、前記絶縁層22の上面に形成された第二導電層27と、該第二導電層27の上面に薄く形成された第二低融点ボンディングパッド28と、該第二低融点ボンディングパッド28の上面に搭載された第二発光チップ14とが設けられ、前記第一発光チップ11、12、13と第二発光チップ14とは、表裏の極性が互いに逆極性とされ、前記第二発光チップ14の上面電極は、ボンディングワイヤ36を介して前記第一導電層23に接続され、前記第一発光チップ11、12、13の上面電極および第二導電層27は、ボンディングワイヤ34、35を介して外部端子32に接続されたものである。

【0008】

【作用】 上記課題解決手段において、シリコン基板21は平坦性がよいため、第一低融点ボンディングパッド24、25、26を薄く形成して、これに発光チップ11、12、13をダイボンドしても、はがれることはない。このように薄い第一低融点ボンディングパッド24、25、26を使用できるので、両発光チップ11、12、13、14の間を十分狭くしても、各発光チップ11、12、13、14の側面へのボンディング材のはい上がりは発生しない。したがって、発光チップ11、12、13、14の間隔を狭くすることで、より小さな発光素子を提供できる。

【0009】 また、基板極性の異なる発光チップ11、12、13、14を搭載する際は、極性の同じ発光チップ11、12、13同士を直接シリコン基板21にボンディングし、これと基板極性の異なる発光チップ14は、絶縁層22にダイボンドする。

【0010】 このとき、発光チップ14は、シリコン基板21より浮いているので、発光チップ14の上面電極とシリコン基板21をボンディングワイヤで導通させれば、発光チップ14の上面電極が電氣的にシリコン基板21に接続され、他の発光チップ11、12、13と同じ極性に接続されることになる。このように逆極性の発光チップを含む複数チップのダイボンドにおいても、発光素子の小型化を可能とし、かつ各発光チップ11、12、13、14の極性をそろえることができる。

【0011】

【実施例】本発明一実施例の発光素子は、図1～8の如く、GaAlAsからなる一個の赤色LEDチップ11と、SiCからなる二個の青色LEDチップ12、13と、GaPからなる一個の緑色LEDチップ14の四個の発光チップとを備えたもので、該四個の発光チップ11～14のうち、緑色Gap発光チップ14のみ、基板極性がN型である。他の発光チップ11～13の基板極性はP型となっている。本実施例では、このように逆極性の発光チップ14を含む複数チップのダイボンドにおいて、これらの極性をそろえ、しかも、発光素子の小型化を可能とするものである。

【0012】すなわち、本実施例の発光素子は、シリコン基板21と、該シリコン基板21の上面の一部に被膜された絶縁層22と、前記シリコン基板21の絶縁層22が被膜されない領域の上面に形成された第一導電層23と、該第一導電層23の上面に薄く形成された三個の第一低融点ボンディングパッド24、25、26と、該各第一低融点ボンディングパッド24、25、26の上面に夫々搭載された前記発光チップ11、12、13（以下、第一発光チップと総称する）と、前記絶縁層22の上面に形成された第二導電層27と、該第二導電層27の上面に薄く形成された第二低融点ボンディングパッド28と、該第二低融点ボンディングパッド28の上面に夫々搭載された前記逆極性の発光チップ14（以下、第二発光チップと称す）とを備えている。

【0013】前記シリコン基板21は、図1～7の如く、P型シリコン（Si）を用いて平面視正方形の平板状に形成される。

【0014】前記絶縁層22は、図1～6の如く、前記シリコン基板21の上面領域を四等分したうちの一角に、絶縁層（例えばSiO₂膜）が形成されてなる。

【0015】前記各導電層23、27は、図1～6の如く、アルミニウム等を用いて公知のフォトリソ工程により互いに分離して形成される。なお、該各導電層23、27は、発光した光の反射板としても機能する。

【0016】前記各低融点ボンディングパッド24、25、26、28は、AuSi・AuSn・In等の一般的な低融点半田材または銀（Ag）ペースト等が用いられ、図1、2、5、6の如く、フォトリソ工程にて、各導電層23、27の上面の所定位置に夫々独立して配置される。

【0017】これらは、図7、8の如く、ヘッダ部を有する搭載用リードフレーム31に搭載され、結線用リードフレーム32に結線された後、透光性樹脂33にて封止され、発光素子としてパッケージ化される。

【0018】ここで、各発光チップ11～14の接続について説明する。

【0019】まず、前記第一導電層23にボンディングされた三個の発光チップ11～13は、そのP型の裏面

電極が第一導電層23を介してシリコン基板21に導通される。

【0020】また、該発光チップ11～13の上面電極すなわちN型電極は、ボンディングワイヤ34にて結線用リードフレーム32に接続される。

【0021】一方、前記第二導電層27にボンディングされた発光チップ14は、そのN型の裏面電極が第二導電層27に接続される。そして、第二導電層27からボンディングワイヤ35にて結線用リードフレーム32に接続される。

【0022】また、発光チップ14の上面電極すなわちP型電極は、ボンディングワイヤ36にて第一導電層23に接続される。

【0023】次に、上記構成の発光素子の製造方法を説明する。

【0024】まず、図3のように、P型のシリコン基板21上の一部に絶縁層22を形成し、シリコン基板21と導通しない領域を作る。

【0025】次に、図4のように、シリコン基板21と導通する第一導電層23を形成する。また、絶縁部22の上面にも、同様に第二導電層27を形成する。ここで、両導電層23、27は、反射鏡としての機能を持たせるため、絶縁部22やシリコン基板21のそれ以外の領域に可及的に広く形成しておく。このとき、第一導電層23と第二導電層27は、公知のフォトリソ工程にて分離しておく。

【0026】そして、図5のように、各導電層23、27の所望の位置に、低融点ボンディングパッド24～27を、低融点半田材または銀ペースト等を用いて形成する。このとき、各低融点ボンディングパッド24～27は、公知のフォトリソ工程にて分離しておく。

【0027】さらに、図6のように、各発光チップ11～14をダイボンドする。

【0028】以上のように完成した発光素子を、図示しないLEDパッケージに搭載し、図1、2、8のようにAuワイヤ等のボンディングワイヤ34、35、36を用いてワイヤボンドし、電流通路を形成する。

【0029】具体的には、第一導電層23にボンディングしてある発光チップ11～13について、そのP型の裏面電極を第一導電層23を介してシリコン基板21に導通する。

【0030】また、発光チップ11～13の上面電極すなわちN型電極を、ボンディングワイヤ34で結線用リードフレーム32に接続する。

【0031】一方、第二導電層27にボンディングしてある発光チップ14については、そのN型の裏面電極を第二導電層27に接続する。そして、第二導電層27からボンディングワイヤ35にて結線用リードフレーム32に接続する。

【0032】また、発光チップ14の上面電極すなわち

P型電極を、ボンディングワイヤ36にて第一導電層23に接続する。

【0033】このように接続することで、シリコン基板21は、全ての発光チップ11～14のP型電極に導通され、また、各発光チップ11～14のN型電極は全て結線用リードフレーム32に接続される。

【0034】このように、極性のそろっていない複数の発光チップの極性を、簡単な構成でそろえることが可能となる。

【0035】ここで、各発光チップ11～14は、薄く形成された低融点ボンディングパッド24、25、26、28の上面に搭載されるため、従来問題であったベーストの表面張力によるはい上がりを考慮しなくてもよい。したがって、複数の発光チップ11～14の間隔を挟めることができ、発光素子を小型化できる。

【0036】特に、本実施例のように、色々な色の発光チップを用いた場合、チップ間を狭くしているため、光の混りも良好となり、例えば、青、赤、緑色の発光チップでは、より鮮明なフルカラー表示が可能になる。

【0037】さらに、シリコン基板の導電層は、光の反射板として機能するので、光の取り出し効率が上がり、より高輝度なLED表示素子となる。

【0038】なお、本発明は、上記実施例に限定されるものではなく、本発明の範囲内で上記実施例に多くの修正および変更を加え得ることは勿論である。

【0039】例えば、上記実施例では、シリコン基板を平板状に形成していたが、図9のように光反射効率を考慮して凹状に形成してもよい。

【0040】

【発明の効果】以上の説明から明らかな通り、本発明によると、シリコン基板の上面の一部に絶縁層を被膜し、絶縁層が被膜されない領域には第一導電層を、絶縁層には第二導電層を夫々形成し、各導電層に、低融点ボンディングパッドを薄く形成し、その上に各発光チップを搭載しているので、従来問題であったベーストの表面張力による発光チップ側面へのはい上がりを考慮しなくてもよい。したがって、複数の発光チップの間隔を挟めることができ、発光素子を小型化できる。

*【0041】特に、色々な色の発光チップを用いる場合、チップ間を狭くしているため、光の混りも良好となり、例えば、青、赤、緑色の発光チップでは、より鮮明なフルカラー表示が可能になる。

【0042】また、第一発光チップと第二発光チップの極性が互いに逆極性の場合、第二発光チップの上面電極をボンディングワイヤで第一導電層に接続しているので、第一発光チップの上面電極および第二導電層をボンディングワイヤで外部端子に接続すれば、両発光チップを同極性に接続できる。したがって、複数の発光チップを同極性に接続できる。したがって、複数の発光チップを同極性に接続できる。したがって、複数の発光チップを同極性に接続できる。

【0043】さらに、シリコン基板上の導電層は、光の反射板として機能するので、光の取り出し効率が上がり、高輝度化を図ることができるといった優れた効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例の発光素子を示す要部平面図

【図2】本発明の一実施例の発光素子を示す要部斜視図

【図3】絶縁層が形成されたシリコン基板を示す平面図

【図4】導電層が形成されたシリコン基板を示す平面図

【図5】低融点ボンディングパッドが形成されたシリコン基板を示す平面図

【図6】発光チップが搭載された状態を示す平面図

【図7】発光素子の側面視断面図

【図8】発光素子の平面視断面図

【図9】本発明の他の実施例の発光素子を示す斜視図

【図10】従来の発光素子の側面視断面図

【符号の説明】

11～13 第一発光チップ

14 第二発光チップ

21 シリコン基板

22 絶縁層

23 第一導電層

24～26 第一低融点ボンディングパッド

27 第二導電層

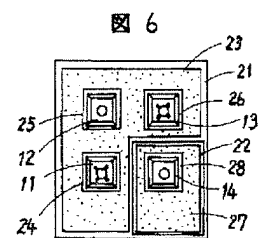
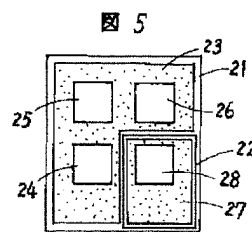
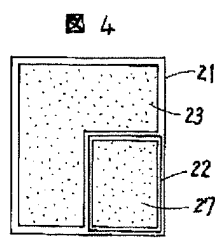
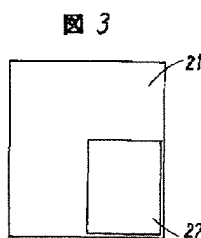
28 第二低融点ボンディングパッド

【図3】

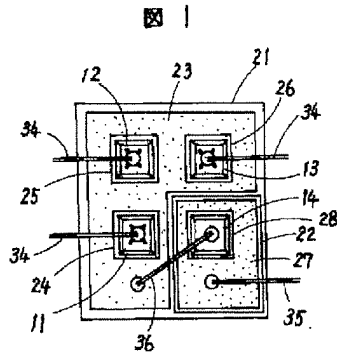
【図4】

【図5】

【図6】

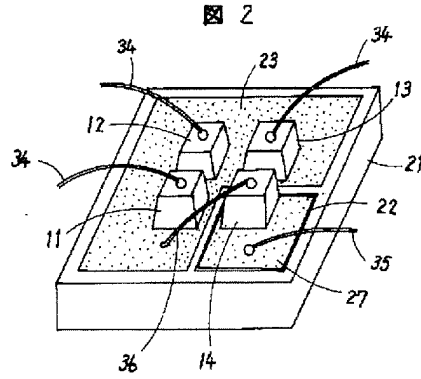


【図1】

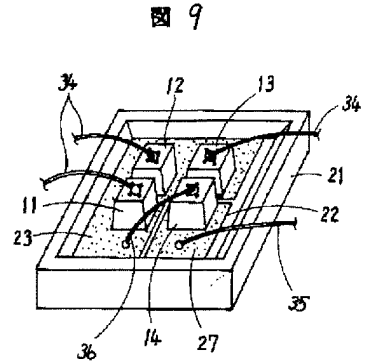


- 11~13 第一発光チップ
 14 第二発光チップ
 21 シリコン基板
 22 絶縁層
 23 第一導電層
 24~26 第一低融点ボンディングパッド
 27 第二導電層
 28 第二低融点ボンディングパッド

【図2】

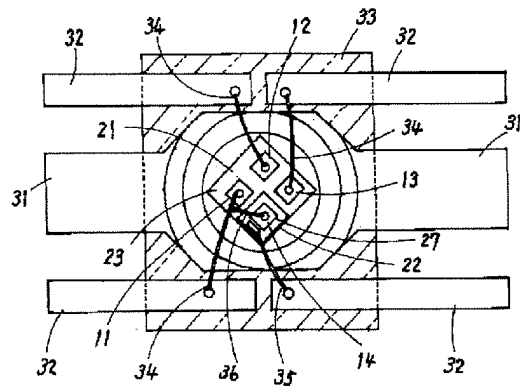


【図9】



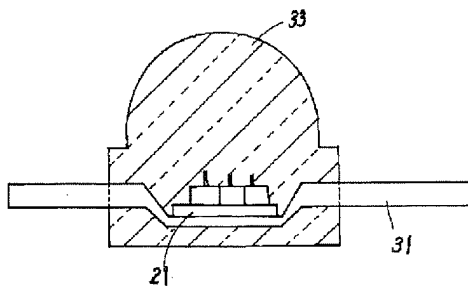
【図8】

図 8



【図7】

図 7



【図10】

図 10

